



# UNIDAD 11: DISEÑO PARA PRUEBAS.

(86:44) Técnica Digital Avanzada- Unidad 11.  
Profesor: Ing. Miguel Antonio Martínez.

## Diseño para pruebas.

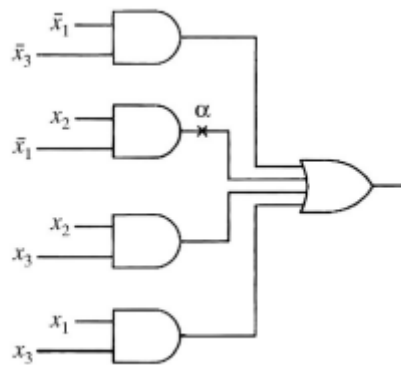
La frase **diseño para pruebas** se refiere a como se diseña o se modifica un circuito para que las pruebas o testeo del mismo se simplifiquen. Se han desarrollado varias técnicas a través de los años para mejorar la capacidad de pruebas de los circuitos lógicos. Estas se pueden dividir en dos categorías llamadas **ad hoc** o **estructurales**.

Los primeros simplifican las pruebas para un diseño dado y no pueden ser generalizadas para todos los diseños. Por otro lado, las técnicas estructurales pueden ser aplicadas a todos los circuitos.

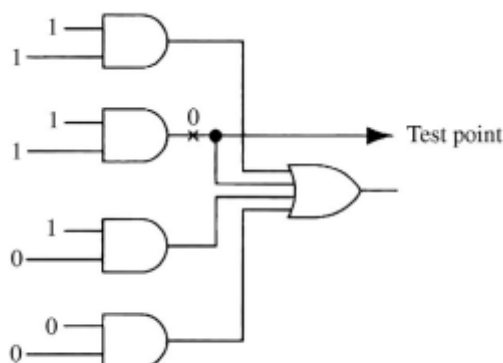
## Técnicas AD-HOC.

Una de las formas más sencillas de mejorar las pruebas en circuitos es insertar **puntos de prueba (test point)** y **puntos de control (control point)**. Los primeros se utilizan para observar un punto determinado dentro de un circuito, mientras que los segundos se usan para programar un nodo con un valor dado (0 o 1).

Mirando la siguiente figura vemos que:

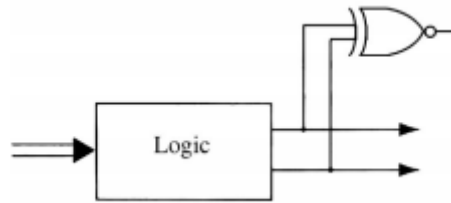


la falla en el punto  $\alpha$  del tipo s-a-0 es indetectable a la salida del circuito. Si aplicamos un punto de control en el nodo  $\alpha$  como se muestra en la siguiente figura:

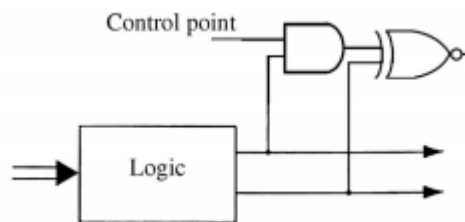


las combinaciones 010 o 011 se pueden aplicar para detectar dicha falla.

La utilidad de adicionar un punto de control se puede apreciar en la siguiente figura:

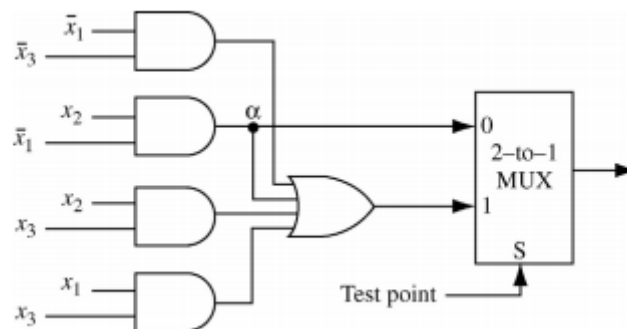


Si la salida de la compuerta EX NOR es siempre 1, indica que tanto la salida del bloque lógico como la de compuerta son iguales, en este caso no se puede aseverar si la compuerta está funcionando bien o no. Si adicionamos un punto de control como muestra la siguiente figura:



En este caso el funcionamiento de la compuerta EX NOR se puede controlar con este punto de control. Durante el funcionamiento normal del circuito este punto se setea a 1. Para testear una falla del tipo s-a-1 en la salida de la EX NOR el control point se setea en 0 y se aplica una combinación de entradas que hagan la salida produzca un 1.

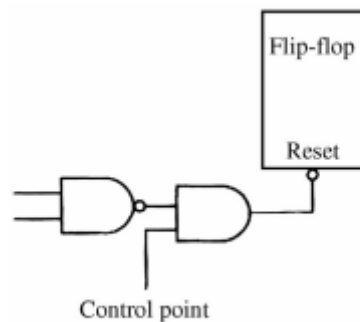
Otra forma de mejorar las pruebas en un circuito es insertando multiplexores que incrementen los puntos de testeo que puedan ser observados o controlados desde el exterior del circuito. Por ejemplo, si vemos la siguiente figura:



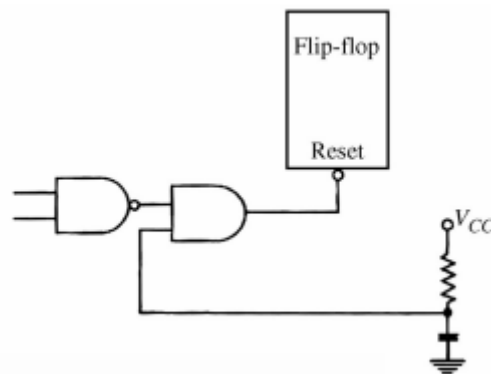
En este caso cuando la señal de control del multiplexor es igual a 1, la salida del circuito se transfiere a la salida del MUX. En caso contrario, si la señal de Test Point es seteada en 0 y una combinación de entradas 010 o 011 es aplicada a la entrada del circuito, el estado del nodo  $\alpha$  puede ser observado a la salida del multiplexor.

Otra forma diferente de acceder a un nodo interno es a través de un controlador o driver tri-state como se ve en la siguiente figura. La señal de test mode se puede usar para poner en estado de alta impedancia el driver. En este modo, la entrada de la compuerta OR puede ser seteada a 0 o a 1 desde un punto externo. Cuando el driver es habilitado, el mismo punto externo se convierte en punto de prueba.

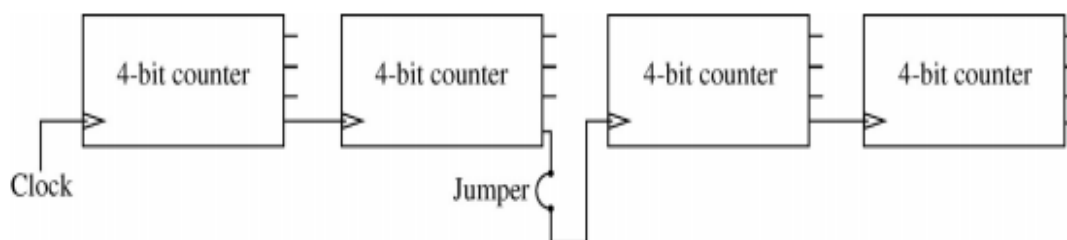
Las señales de prueba requeridas por los componentes externos como multiplexores, driver tri-state, etc. no siempre se pueden aplicar a través de puntos externos, porque a menudo no hay disponibles tantos puntos de prueba. Para reducir la cantidad de puntos, a veces, se incluyen registros de estado de prueba dentro del circuito. De hecho, esto podría hacerse con un registro de desplazamiento que se carga y se controla con unos pocos pines. Con frecuencia, estos flip flop y registros de desplazamiento asumen estados impredecibles cuando se conecta la energía. Por lo tanto, se establecen en estados conocidos antes de comenzar la prueba. Idealmente, todos los elementos de memoria deben setearse desde puntos externos como muestra la siguiente figura:



Alternativamente, se puede agregar un circuito para realizar un reinicio interno en cada encendido. Esto se muestra en la siguiente figura:

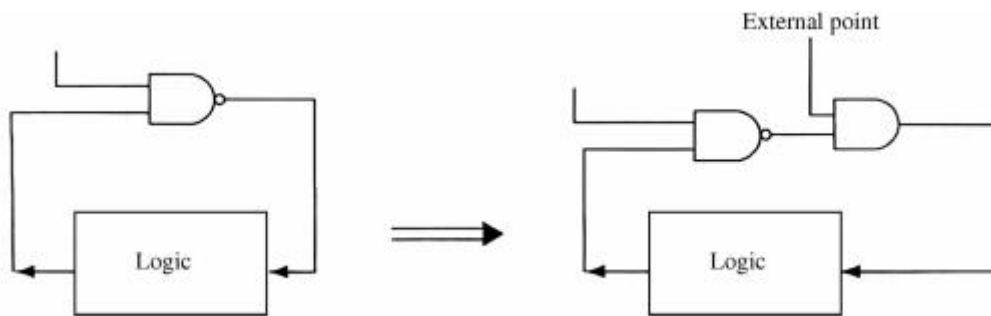


Una cadena larga de contadores presenta otros problemas para testearla. Viendo la figura siguiente, en esta se ve una cadena de contadores. Este requiere muchísimos ciclos de clock para pasar por todos los estados del circuito. Una solución a esto es cortar la cadena larga dividiéndola en cadenas más chicas a través de **jumpers (puentes)**. Los puentes pueden ir agregándose o eliminándose durante la prueba.

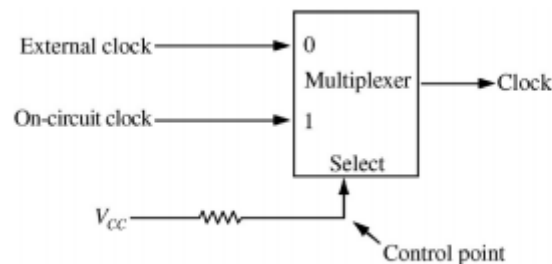


Un driver de tres estados se puede usar como jumper. Usando la entrada de control del driver conectamos o desconectamos una parte de la cadena con la otra. De esta manera se pueden probar los contadores parciales por separado.

Otros circuitos difíciles de testear son los circuitos realimentados porque, generalmente, ocultan la fuente de la falla. Una forma de evitar esto es rompiendo el lazo de realimentación a través de una compuerta que se comporta como una llave. La llave es manejada con una señal de control externa. Estos conceptos se muestran en la siguiente figura:



Los relojes que proporcionan el clock principal en los circuitos deben reemplazarse por relojes de prueba que puedan setearse a diferentes frecuencias y también, pulso a pulso para verificar el paso por nodos individuales. Una forma de conmuta entre el reloj del circuito y el de prueba se ve en la siguiente figura:



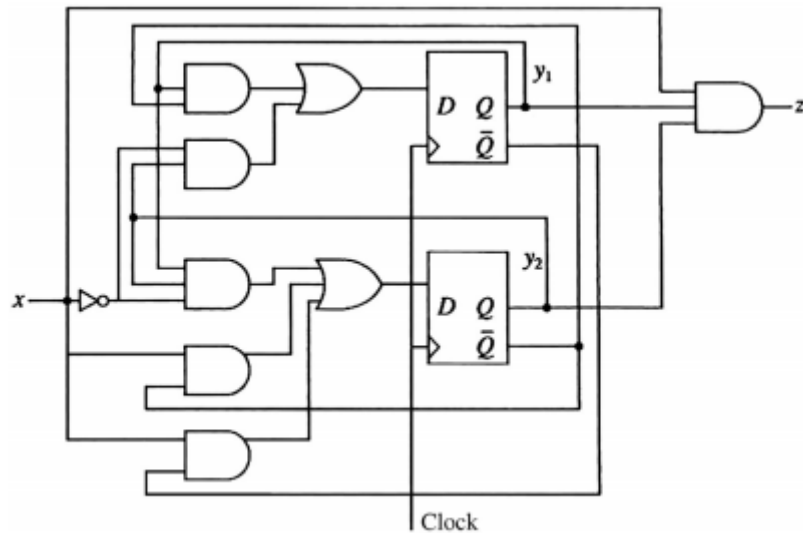
### Técnicas de SCAN-PATH para prueba de circuitos secuenciales.

Las técnicas para pruebas de circuitos secuenciales son complicadas debido a las dificultades para configurar y verificar los estados internos de los elementos de memoria. Estos problemas pueden solucionarse modificando el diseño de los circuitos para que tenga las siguientes propiedades:

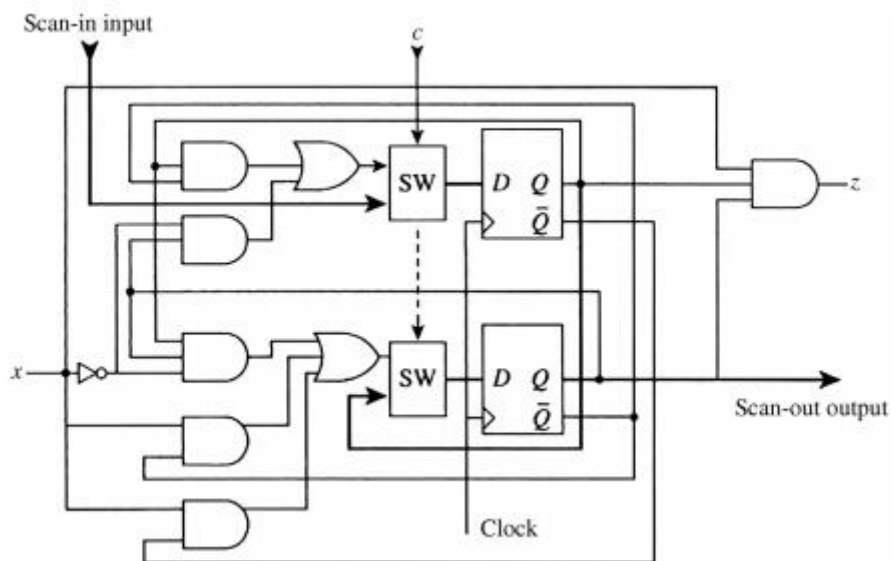
- a) El circuito se puede configurar fácilmente para setear el mismo en cualquier estado interno deseado.
- b) Es fácil encontrar una secuencia de patrones de entrada de manera que la secuencia de salida indique el estado interno del circuito.

La idea básica es adicionar una entrada extra que denominaremos **c** en la lógica de excitación de los elementos de memoria para controlar el modo de un circuito. Cuando  $c = 0$ , el circuito funciona en su modo normal, pero cuando  $c = 1$ , el circuito entra

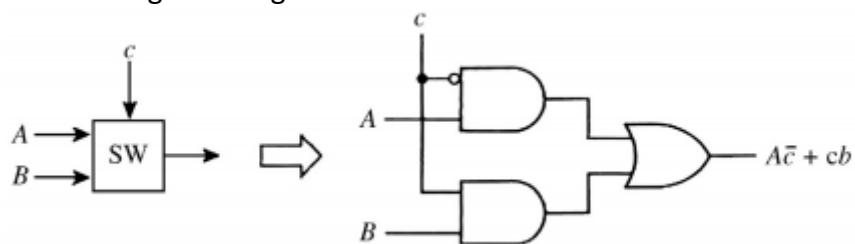
en un modo de funcionamiento donde los elementos están conectados entre sí de modo de formar un registro de desplazamiento, Esta capacidad se logra incorporando un interruptor de dos posiciones, es decir un multiplexor de dos entradas de datos y una de control en cada señal de entrada de cada elemento de memoria, Estos interruptores están agrupados y el circuito puede operar en cualquiera de los dos modos, normal o como registro de desplazamiento. En la siguiente figura se ve un circuito que utiliza flip flop tipo D:



El circuito se modifica de la siguiente manera para poder se testeado:



Cada interruptor se puede realizar con un simple multiplexor como los conocidos y como se ilustra en la siguiente figura:



El procedimiento para probar el circuito es el siguiente:

- a) Setee  $c = 1$  para cambiar el circuito al modo de registro de desplazamiento.
- b) Verifique el funcionamiento de este registro utilizando entradas de exploración, salidas de exploración y señales de reloj.
- c) Establezca el estado inicial en el registro de desplazamiento.
- d) Setee  $c = 0$  para regresar al modo normal de funcionamiento.
- e) Aplique un patrón de prueba a las entradas de la lógica combinacional.
- f) Setee  $c = 1$  para volver al modo de registro de desplazamiento.
- g) Cambie el estado final mientras establece el estado inicial para una nueva prueba.
- h) Vuelva al paso c).

Con este procedimiento, una considerable proporción de tiempo se utiliza en setear los estados de los flip flop. Esta operación necesita un número de pulsos de reloj proporcional a la longitud del registro de desplazamiento.

Este tiempo se puede reducir si dividimos el registro de desplazamiento largo en registros más cortos. La cantidad de registros en los que se puede dividir el primitivo está determinada por la cantidad de conexiones de entrada y salida aprovechables para controlar y sensar el registro de desplazamiento.

La mayor ventaja de esta técnica de Scan-Path radica en que un circuito secuencial se puede transformar en una combinacional, lo que hace que la generación de pruebas sea relativamente sencilla. Además, se necesitan pocas compuertas y jumpers adicionales para realizar esta transformación.

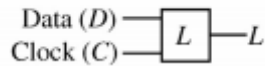
### **LEVEL SENSITIVE SCAN DESIGN.**

Uno de los métodos más conocidos y usados para realizar pruebas en circuitos secuenciales es el llamado **Diseño de escaneo sensible al nivel (LSSD)** diseñado por la empresa IBM. Un aspecto de este método es suponer que un circuito secuencial está construido de tal manera que un cambio de estado en función de cualquier cambio de las entradas es independiente de los retardos de los componentes y de los retardos en los caminos de señal del circuito. Además, si un cambio de entrada involucra a más de un cambio de las señales, la respuesta del circuito es independiente al orden en que cambian dichas señales.

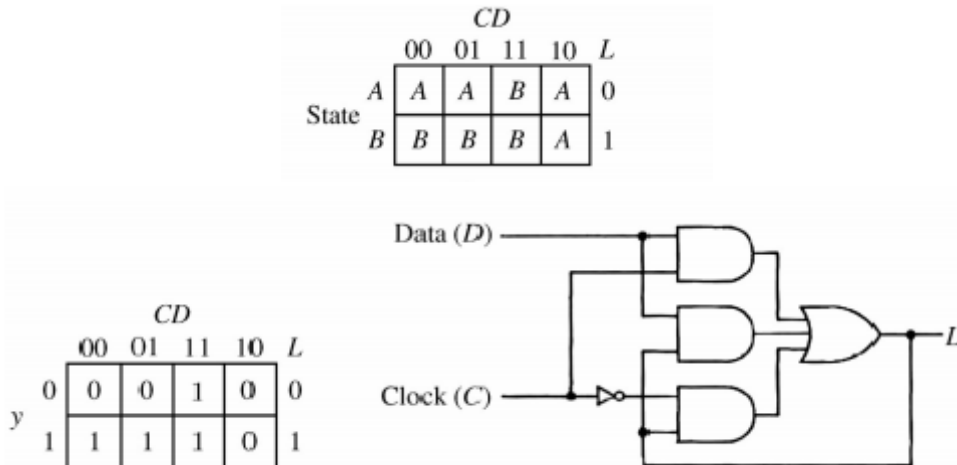
Estas condiciones están garantizadas por la aplicación de ciertas reglas de diseño del circuito. Particularmente relativas a las señales de reloj que son las encargadas de producir cambios en el estado del circuito. **Escanear** se refiere a la habilidad de entrar o de salir de cualquier estado del circuito.

### **LATCH CON RELOJ LIBRE DE RIESGOS.**

En LSSD todo el almacenamiento interno se realiza en latch con reloj libres de riesgo. Estos dispositivos tienen dos señales de entrada (C y D) como muestra la siguiente figura:

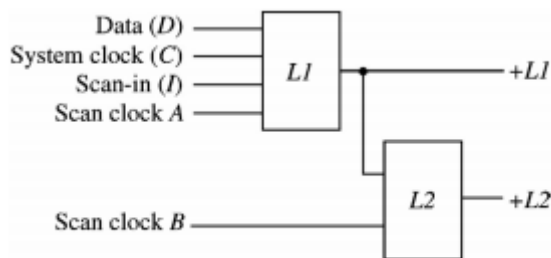


El latch no puede cambiar ningún estado si  $C = 0$ . Si seteamos  $C$  en 1, le estado interno de latch toma el valor de la entrada de excitación  $D$ . La tabla de flujo de este secuencial, su tabla de excitación y su implementación se muestran en las siguientes figuras:



La señal de clock  $C$  normalmente cambia de 0 a 1 después que la señal  $D$  esté debidamente estabilizada en 0 o en 1. La salida  $L$  del latch cambia al nuevo valor de la señal  $D$  una vez que haya ocurrido el pulso de clock. El correcto cambio del latch no depende ni del tiempo de subida (rise time) ni del tiempo de bajada (fall time) de la señal de reloj, pero solo depende que la señal de clock se establezca en 1 por un periodo de tiempo igual o mayor al tiempo que tarda la señal de datos  $D$  en atravesar el latch y estabilizarse.

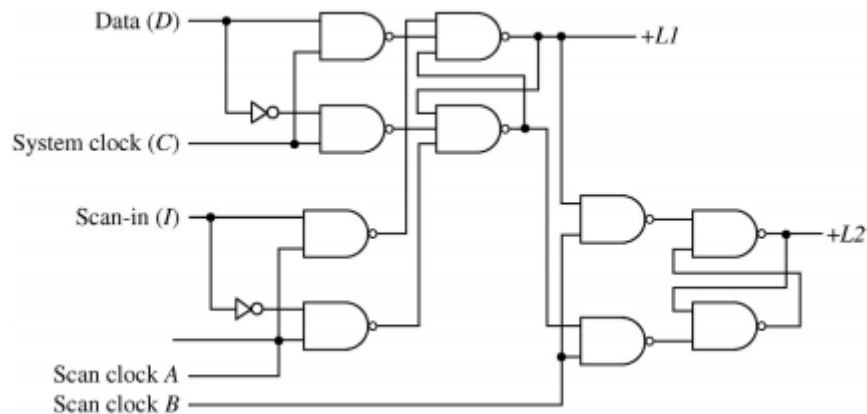
Un latch del tipo registro de desplazamiento (SRL), en inglés Shift Register latch, puede formarse adicionando varios latch simples como los que vimos. En la siguiente figura  $L_2$  actúa como un latch de almacenamiento intermedio mientras se producen los cambios.



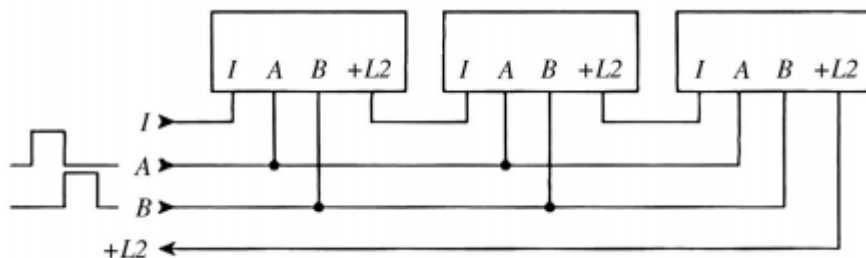
Siempre que ambas entradas de clock ( $A$  y  $B$ ) se mantengan en 0, el latch  $L_1$  funciona exactamente como si estuviera solo. El terminal  $I$  es la entrada del registro de desplazamiento y  $+L_2$  es su salida.

Cuando el latch funciona en modo de registro de desplazamiento el dato de una etapa anterior ingresa vía la entrada  $I$ , a través de un cambio en la señal de reloj  $A$  de 0 a 1. Después que la señal  $A$  haya retornado al valor 0, el reloj  $B$  transfiere los datos del latch  $L_1$  dentro del latch  $L_2$ . Claramente nunca  $A$  y  $B$  pueden ser 1 al mismo tiempo si el

registro funciona normalmente. En la siguiente figura se ve el diagrama con compuertas de este registro de desplazamiento.



Los registros de desplazamiento se pueden interconectar para formar un registro como el que muestra la siguiente figura:



La entrada I y la salida +L<sub>2</sub> están conectadas formando un bucle y las señales de clock A y B se conectan en paralelo.

Se han definido una serie de reglas de diseño para proporcionar subsistemas lógicos sensibles al nivel con un diseño escaneable que ayudaría a probar.

Regla 1: Utilice solo latch libres de riesgo como elementos de memoria.

Regla 2: Los latch deben ser disparados por señales de reloj que no se superpongan.

Regla 3: Las señales de clock deben aplicarse a través de entradas primarias.

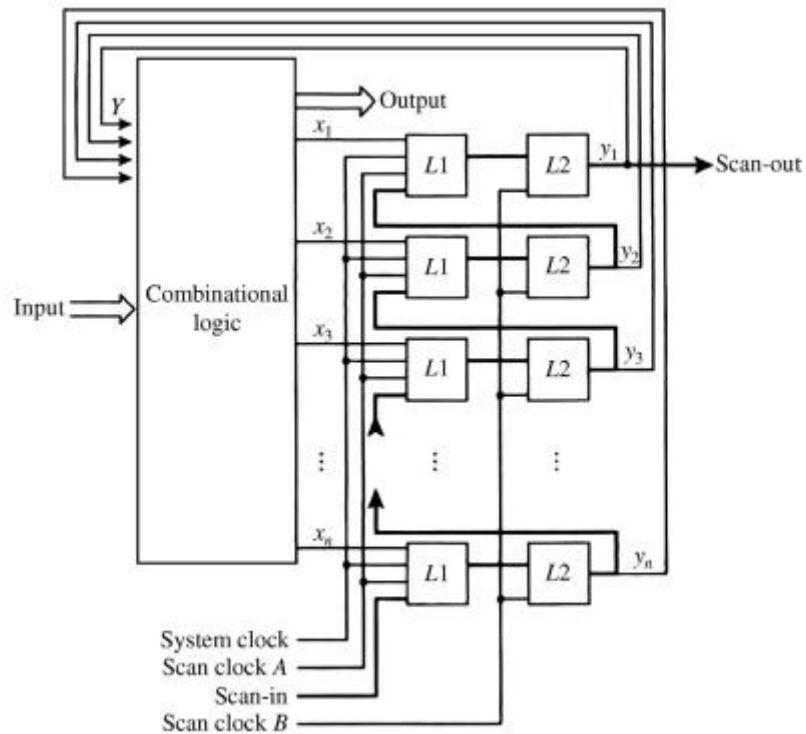
Regla 4: Las señales de reloj no pueden alimentar las entradas de datos de los elementos de memoria en forma individual ni a través de lógica combinacional.

Regla 5: Las secuencias de prueba deben aplicarse a través de entradas primarias

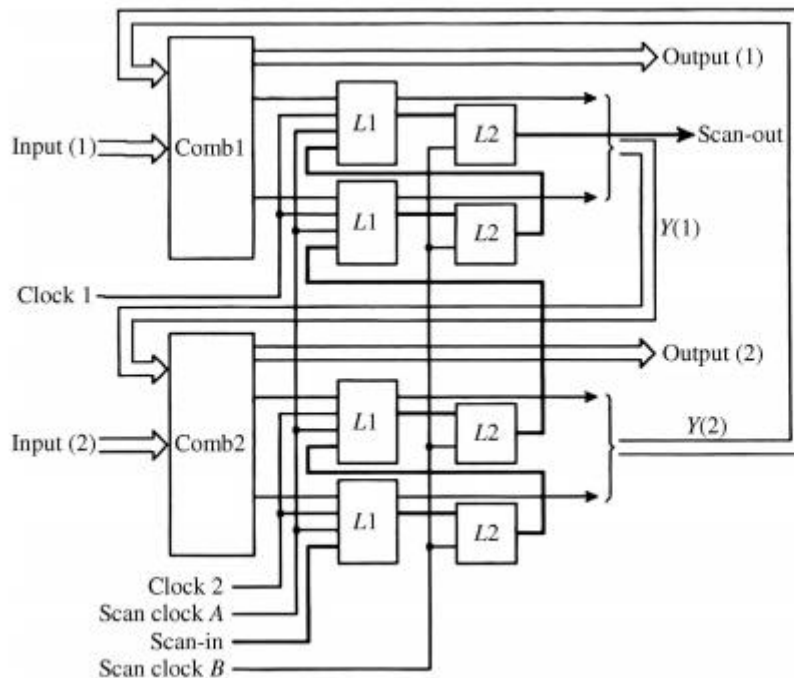
### **Double-Latch y Single-Latch (LSSD)**

Un circuito secuencial que es sensible a los niveles de señal y también tiene la propiedad del escaneo se llama **Level Sensitive Scan Design (LSSD)**. En la siguiente figura se muestra una estructura general de un sistema LSSD, conocido como diseño de doble latch en que todas las salidas se toman de L<sub>2</sub>. En esta configuración cada latch opera en el modo maestro-esclavo (master-slave). La transferencia de datos ocurre bajo la influencia del reloj del sistema y el reloj del escaneo B durante el funcionamiento

normal. Y bajo el reloj A y el reloj B durante la operación de escaneo. Por lo tanto, ambos latch son necesarios durante la operación del sistema.



En la configuración de un solo latch, la lógica combinacional se divide en dos conjuntos disjuntos, llamados  $Comb_1$  y  $Comb_2$  como se ilustra en la siguiente figura:

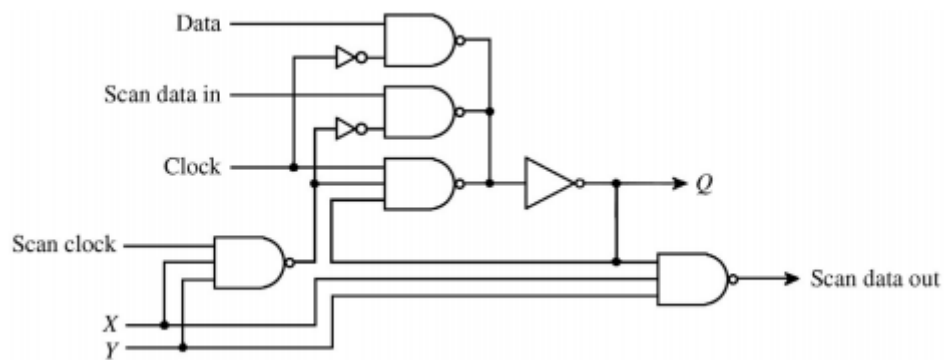


Los relojes utilizados para  $Comb_1$  y  $Comb_2$  son denotados como  $Clock_1$  y  $Clock_2$  respectivamente y no se superponen. Las salidas de los registros en  $Comb_1$  se realimentan como variables secundarias a  $Comb_2$  y viceversa.

Esta configuración usa la salida del latch  $L_1$  como salida del sistema, el latch  $L_2$  se usa solo para conmutar. En otras palabras, los latches  $L_2$  son redundantes y representan una sobrecarga para el testeo o prueba.

### Técnicas de prueba de acceso aleatorio.

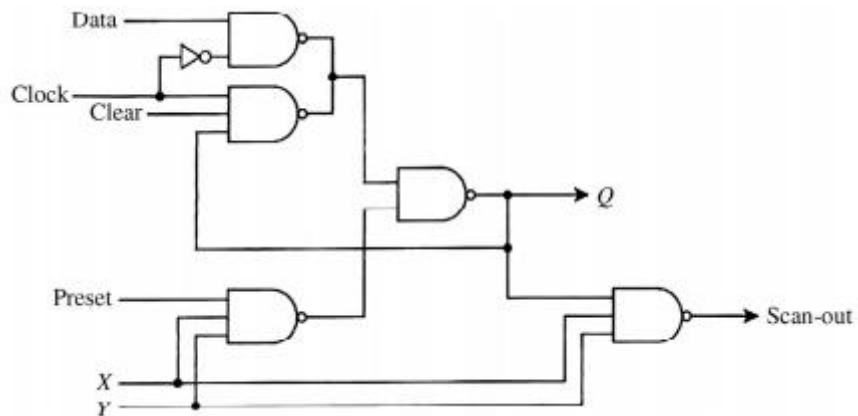
Los métodos discutidos anteriormente utilizan técnicas de escaneo de entrada salida del tipo secuencial. Para mejorar las técnicas de prueba, todos los flip flop se conectan en serie formando registros de desplazamiento o registros. En un enfoque alternativo, llamado **escaneo de acceso aleatorio**, cada flip flop en el circuito lógico es seleccionado individualmente por un direccionamiento de control y observación de su estado. El elemento básico de memoria es un latch direccionable. El circuito y este latch direccionable se muestra en la siguiente figura:



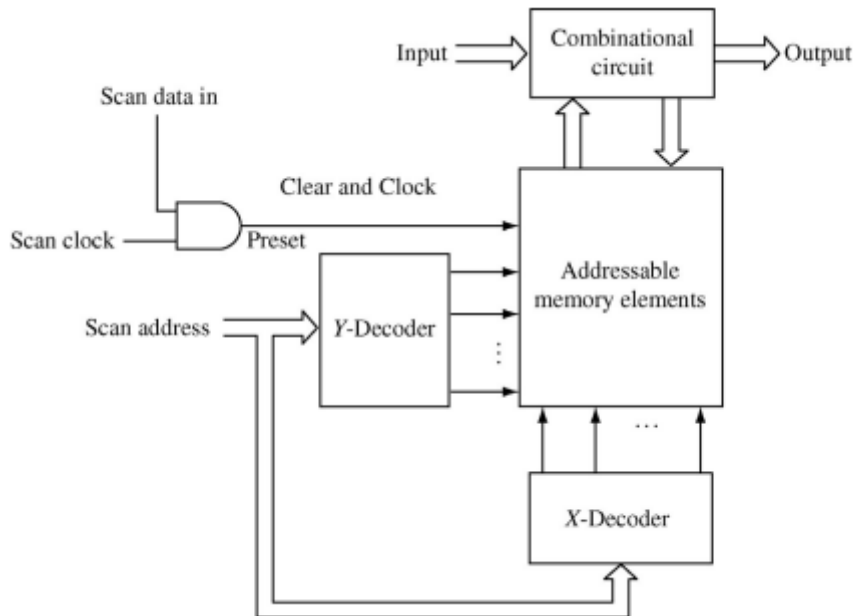
El latch se direcciona con dos entradas de control X-Y. Cuando el latch es seleccionado y la señal de clock pasa de 0 a 1, el dato en la señal "Scan data in" es transferida a través del circuito hacia la salida "Scan data out", donde se puede visualizar el valor invertido de la señal de datos de entrada. La entrada DATA es transferida a la salida del latch Q durante la transición de clock de 1 a 0.

Las líneas de salida de cada latch permanecen en 1 a menos que sea seleccionado otro valor de salida a través de las señales X-Y.

Un diferente tipo de latch, llamado "set-reset" es mostrado en la siguiente figura:



La señal de “clear” limpia el contenido de los latch durante la transición de 1 a 0. Antes de la operación de escaneo, todos los latch se ponen en cero. Luego las líneas X-Y direccionan un latch y se aplica una señal preestablecida para cargar el estado deseado. El modelo básico de un circuito secuencial del estilo “set-reset” con escaneo al azar se muestra en la siguiente figura:



Los decodificadores de direcciones X-Y se utilizan para acceder a un latch predeterminado como si fuera una celda de memoria de acceso aleatorio. Se utiliza un árbol de compuertas AND para combinar todas las señales de exploración. Las señales de “clear” de todos los latch están unidas para formar una sola señal maestro de reinicio. Las señales Preset de todos los latch reciben la misma señal de escaneo activada por el reloj de escaneo (Scan clock), sin embargo, solo el latch que está seleccionado por las líneas X-Y se verá afectado.

Las técnicas de escaneo de entrada salida con acceso aleatorio tienen algunas ventajas:

- 1) Se permite la prueba de todos los latch del sistema.
- 2) Cualquier punto de un circuito combinacional se puede observar con una compuerta adicional y una dirección por un punto de observación.
- 3) Una memoria de acceso al azar se puede testear con este procedimiento. Las entradas de exploración se pueden aplicar directamente a la memoria. La entrada de datos y de escritura habilitan la entrada de la matriz para recibir los datos y el reloj de escaneo.

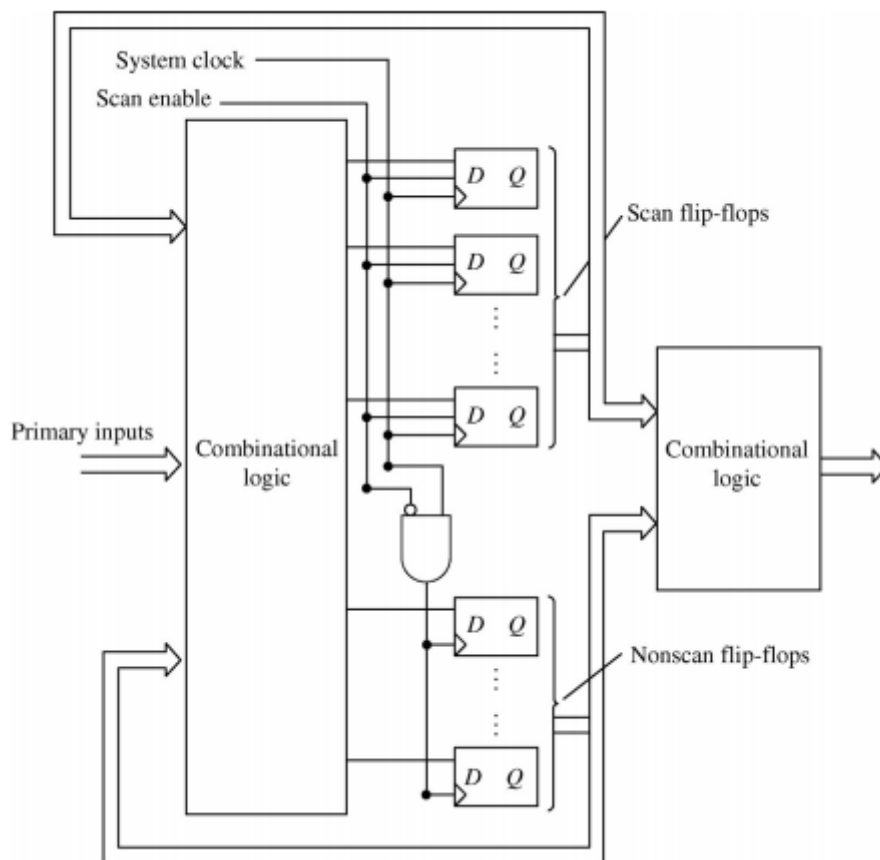
También esta técnica presenta algunas desventajas:

- 1) Lógica adicional de la forma de dos compuertas de dirección por cada elemento de memoria, más los decodificadores de direcciones y los árboles de salida de las compuertas AND.
- 2) Los pines de escaneo, de direcciones y de datos agregan entre 10 a 20 pines extras. Mediante el uso de un registro de carga series, se puede reducir el número de pines a un valor aproximado de seis.

- 3) Algunas limitaciones se imponen en la lógica como la exclusión de operaciones con latches asincrónicos.

### **Exploración Parcial.**

En la exploración total, todos los flip flops en un circuito están conectados en uno más registros de desplazamiento, con lo cual el circuito puede ser observado y controlado a través de las entradas y salidas primarias, respectivamente. En el escaneo parcial, solo un subconjunto de flip flops del circuito están incluidos en la cadena de escaneo para reducir los gastos respecto al escaneo completo. En la siguiente figura se ve un diagrama de escaneo parcial.

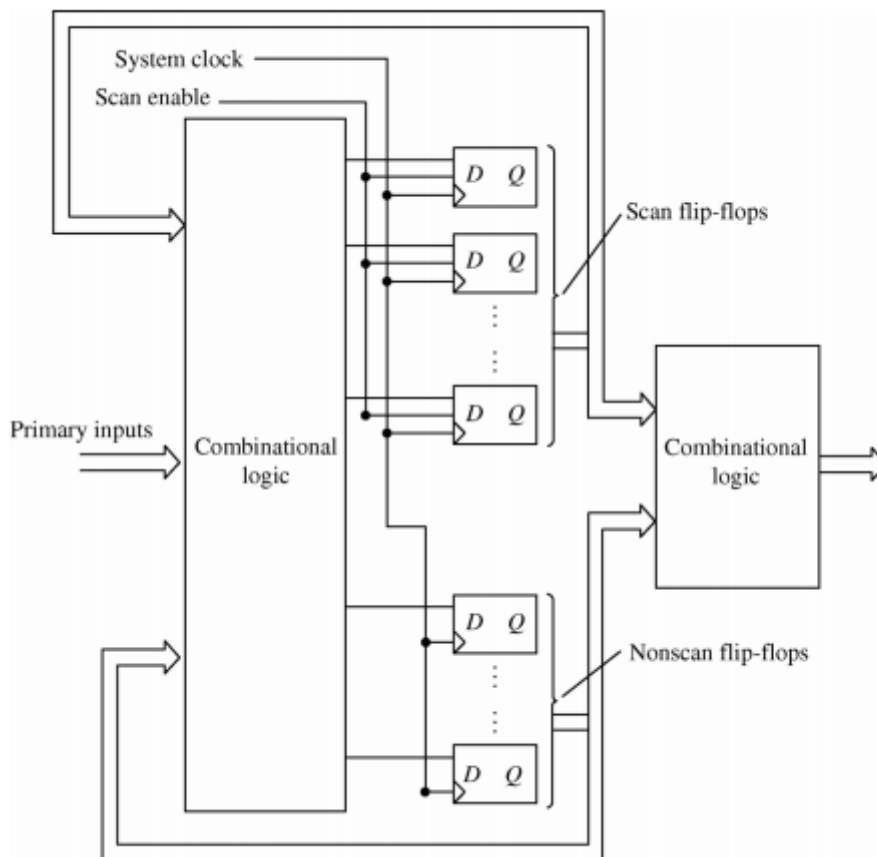


Consta de dos relojes separados, uno el reloj del sistema y otro el reloj del escaneo. El reloj de escaneo controla solo los flip flops de escaneo. El reloj de exploración se saca de una compuerta en la cual entran las señales de reloj del sistema y la habilitación de escaneo. Por lo tanto, no se necesita un reloj externo. Durante el modo de funcionamiento normal que es cuando la señal de scan enable está en 0, ambos flip flops, los de escaneo y no escaneo actualizan sus estados cuando la señal de clock del sistema está aplicada. En el modo de exploración o prueba, solo el estado del registro de desplazamiento (constituido por los scan flip flops) desplazando 1 bit a través de dicho registro. Los flip flops no explorados no cambian sus estados.

La desventaja de usar dos clocks para realizar un escaneo parcial es la dificultad para rutear dos lazos independientes es difícil de lograr. Por otro lado, el uso de dos

señales distintas de reloj no permite testear el circuito en su verdadera velocidad de funcionamiento.

Se puede modificar la técnica usando el clock del sistema como reloj de escaneo. O sea, los flip flops tanto de escaneo como de no escaneo cambian su estado con la señal de clock principal. La secuencia de prueba se consigue cambiando los datos de los flip flops de escaneo. Estos estados sumados a los estados de los flip flops de no escaneo, constituyen el estado inicial de la secuencia de prueba. Los otros patrones de prueba se obtienen desplazando un bit en los flip flops de escaneo. Los flip flops que se incluirán en el escaneo parcial se eligen por métodos heurísticos. El esquema aquí explicado se muestra en la siguiente figura:

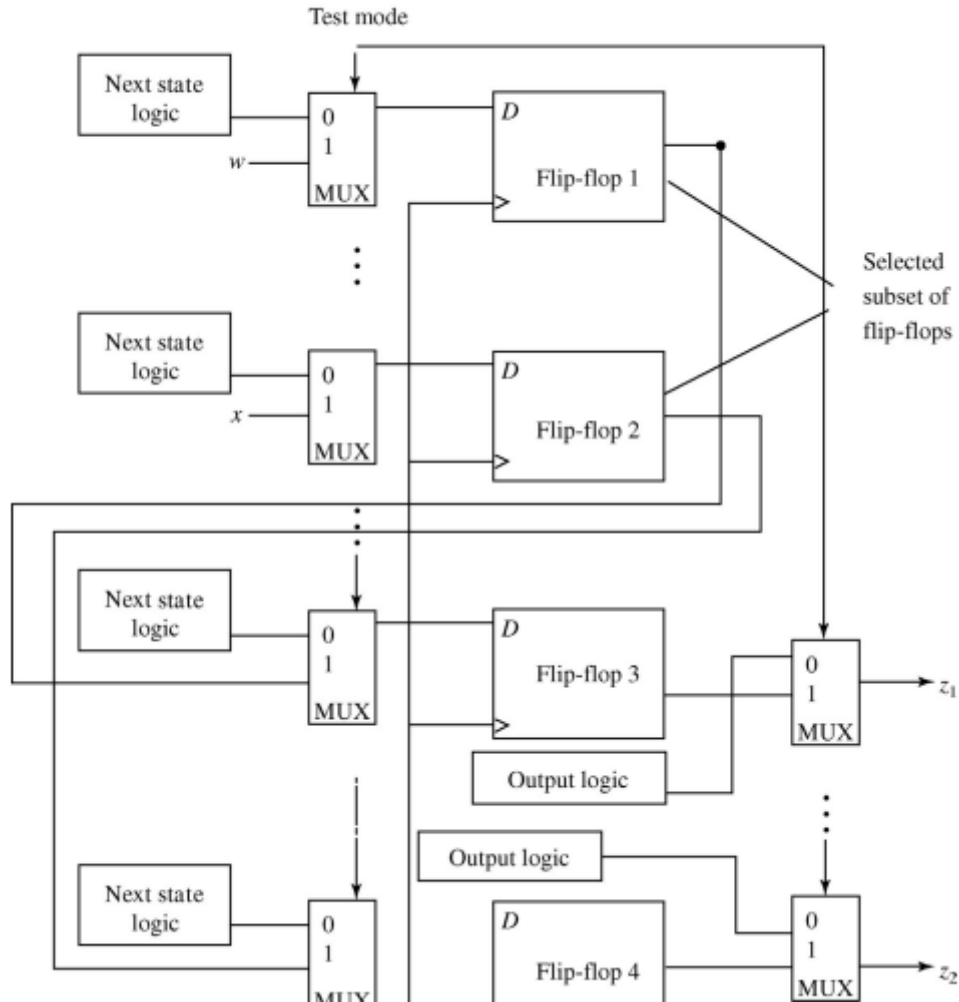


### Diseño de pruebas usando técnicas NONSCAN.

Las técnicas de escaneo parcial y total mejoran la controlabilidad y observabilidad de los flip flops en un circuito secuencial, y por lo tanto la generación de pruebas en estos circuitos se simplifica considerablemente. El problema de la técnica de escaneo es que el circuito no se puede probar en su normal velocidad de funcionamiento, ya que los datos de entrada deben cambiarse a través de la ruta de escaneo.

Una alternativa a la técnica anterior es adosar al circuito de una entrada de **modo de prueba**. Si esta entrada está en el valor 1, cada flip flops de un subconjunto elegido están conectados directamente a las entradas primarias del circuito. Esto permite que

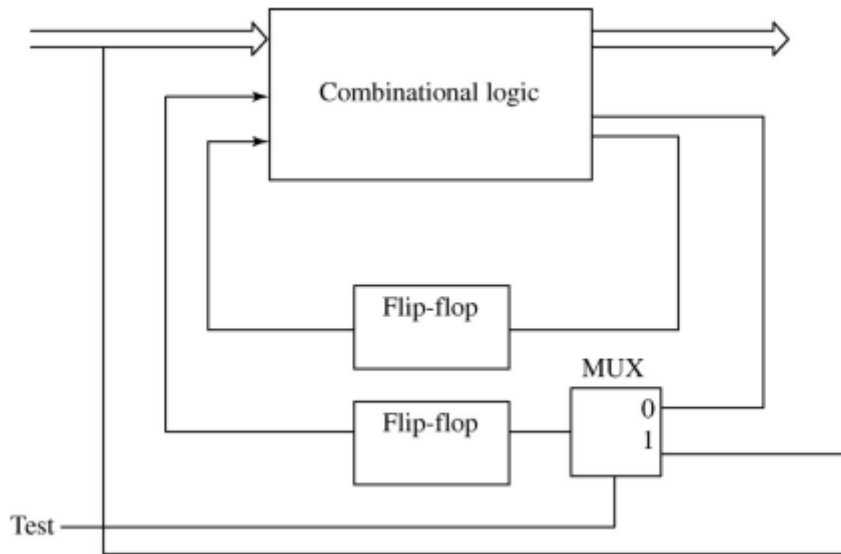
los datos de entrada pasen directamente por estos flip flops. Mientras tanto, los datos anteriores de estos flip flops se cargan en los flip flops que no pertenecen a este subconjunto. El contenido de los flip flops del subconjunto seleccionado están disponibles en las salidas primarias mientras la señal de prueba esté setada en 1. El esquema de esta técnica se muestra en la siguiente figura:



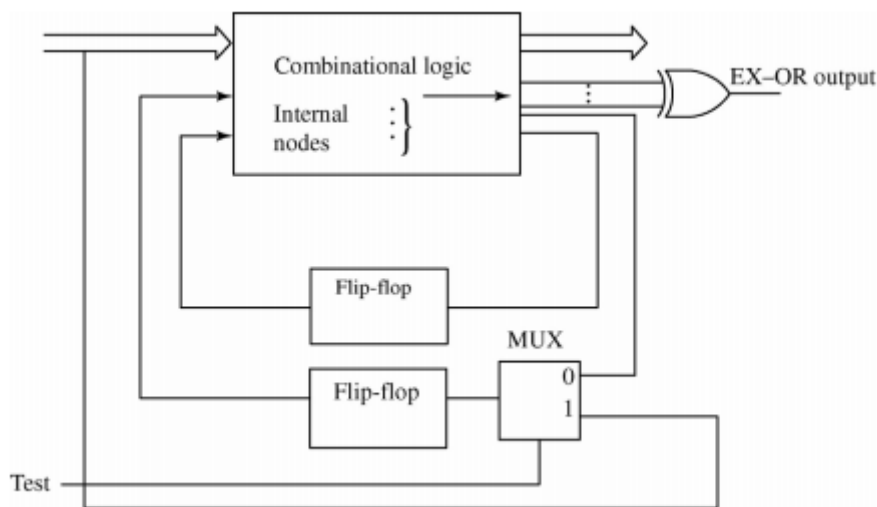
Consideremos las dos entradas y las dos salidas de la figura con cuatro flip flops. Se utilizan las entradas primarias  $w$  y  $x$  para cambiar los estados de los flip flops **1** y **2** respectivamente, cuando la señal de modo de test está un 1. El contenido original de los flip flops **1** y **2** son transferidos a los flip flops **3** y **4**, mientras los contenidos de estos dos últimos son observados en las salidas  $z_1$  y  $z_2$ . Varias técnicas se han desarrollado para mejorar la observabilidad y la controlabilidad de circuitos secuenciales para que se puedan probar a la velocidad normal de funcionamiento.

La controlabilidad de un circuito se mejora seleccionando un subconjunto de flip flops y que cada flip flops seleccionado pueda ser cargado desde una entrada primaria durante el modo de prueba. Cada uno de ellos se denominan **flip flops controlables**.

La siguiente figura muestra un circuito secuencial modificado para mejorar la controlabilidad. Cuando la entrada de **Test** está en 0, el circuito funciona normalmente. Cuando la señal de test se pone en uno, el flip flop controlable se maneja a través de un multiplexor de una entrada de control.

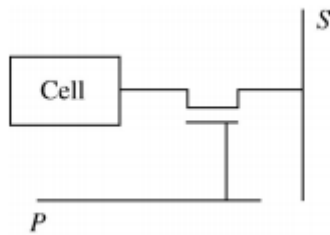


La observabilidad es mejorada al seleccionar un subconjunto de FF (flip flops) cuyos estados en los nodos internos del circuito son indetectables ya que sus fallas no pueden ser propagadas a las salidas primarias. Las señales de esos nodos son recogidas por un árbol de compuertas EX NOR, cuya señal de salida está disponible en la salida de estas compuertas, como lo muestra la siguiente figura:

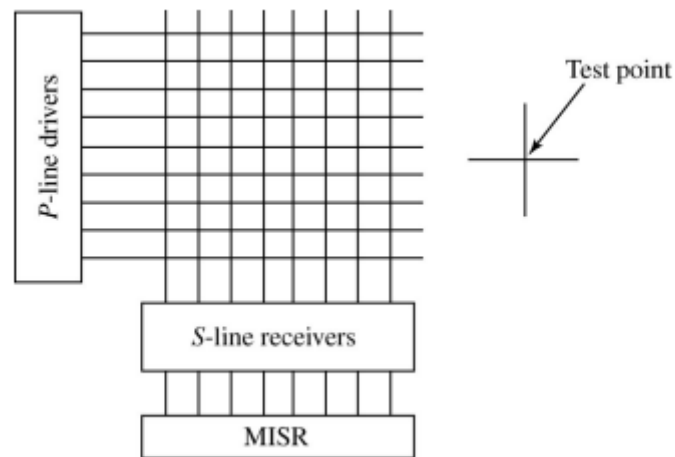


### **CROSSCHECK.**

Este enfoque incorpora circuitos de prueba dentro de las celdas básicas implementadas para fabricar circuitos del tipo VLSI. Esto se logra conectando la salida de una celda básica al Drain de un transistor de paso. El Gate de este transistor se conecta a la línea de prueba **P** y el Source va conectada a una línea de sensada denominada **S**. Esto se muestra en la siguiente figura. La salida de la celda se puede observar en la línea S controlada por la entrada P. En otras palabras, se puede garantizar la controlabilidad y la observabilidad de la celda



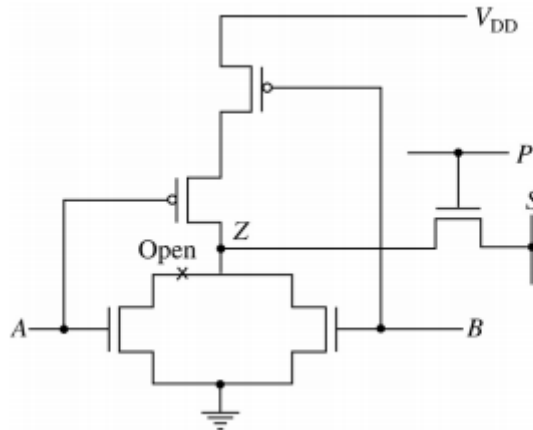
Este enfoque se puede utilizar para mejorar la capacidad de prueba de los chips VLSI mediante el uso de celdas con Crosscheck usando puntos de prueba para implementar la lógica. Estos puntos de prueba son ruteados dentro de una grilla ortogonal como si fuera una matriz con filas y columnas direccionadas por las líneas de prueba y de sensado respectivamente como se muestra en la siguiente figura:



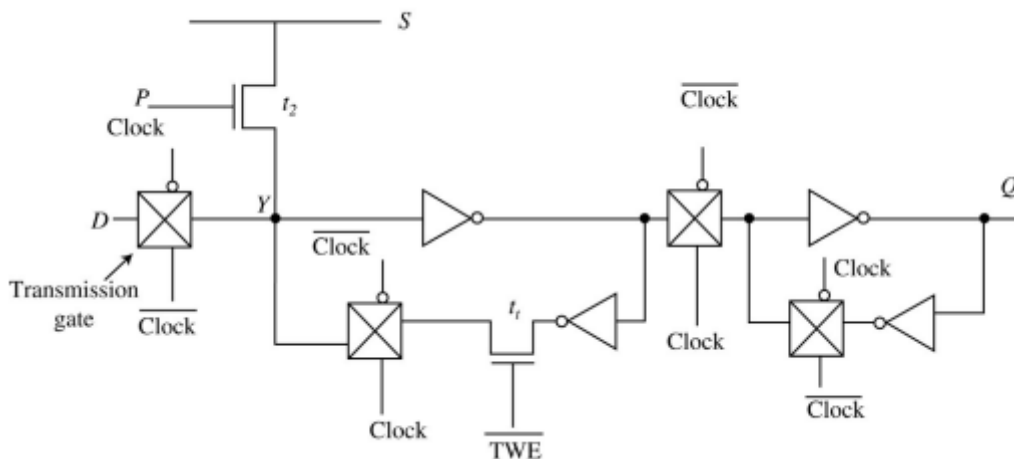
Primero se aplican patrones de prueba en las entradas primarias del circuito, luego se habilitan las líneas de prueba P lo que permite que los valores de las celdas internas se transmitan a las líneas de sensado S. Estos valores son almacenados en un registro de desplazamiento del tipo entrada paralelo/salida serie. Para comprimir estos datos se puede usar un registro de entradas múltiple (MIRS) que se usa para comprimir los valores testeados dentro de este registro. A partir de este enfoque, se puede ver que esta técnica Crosscheck permite sensar puntos de prueba en forma paralela.

La capacidad de esta técnica simplifica la detección de fallas atascadas o de circuitos abiertos en la lógica de las celdas. Para ilustrar este concepto consideremos una compuerta NOR incrementada con un transistor que tiene una línea de prueba P y una línea de sensado S. Asumimos que la compuerta tiene una falla del tipo circuito abierto. La falla se puede activar aplicando el vector de prueba  $AB = 10$ . La línea de sensado S es precargada con el valor lógico 1. Cuando la línea de prueba es activada a 1, el valor lógico de la línea S será 0 si no existe falla, en caso contrario el valor que tomará S será 1. Por lo tanto, una falla de este tipo de circuito abierto puede ser detectada con un simple patrón de prueba.

Lo explicado y el circuito en cuestión se ve en la siguiente figura:



El enfoque Crosscheck mejora la capacidad de prueba de circuitos secuenciales incorporando FF del tipo D llamados **Latch de Control Cruzado (CCL)**. Un CCL consiste en un FF del tipo master-slave disparado por el flanco, a esto se incorpora dos transistores  $t_1$  y  $t_2$ , como se ve en la siguiente figura:



El transistor  $t_1$  es controlado por una señal de habilitación de escritura de prueba ( $\overline{TWE}$ ). Cuando  $\overline{TWE} = 1$ , y también la línea de prueba P y el clock son seteados en 1, el valor del nodo Y es observable sobre la línea de sensado S vía el transistor  $t_2$ . Este valor también es observable en la salida Q. Cuando  $\overline{TWE} = 0$ , el transistor  $t_1$  se comporta como una llave abierta y el camino de realimentación queda deshabilitado. Un CCL funciona como un FF tipo D cuando la señal  $\overline{TWE}$  está en 1.

La sobrecarga de incorporar estos transistores en el circuito es de alrededor del 3 %, también hay un ligero aumento del ancho de pulso de la señal de clock. Por el lado positivo, se puede decir que el ajuste de los diferentes FF a valores específicos se puede hacer en paralelo, por lo tanto, el proceso de generación de pruebas se puede realizar más rápidamente que usando los métodos explicados anteriormente.

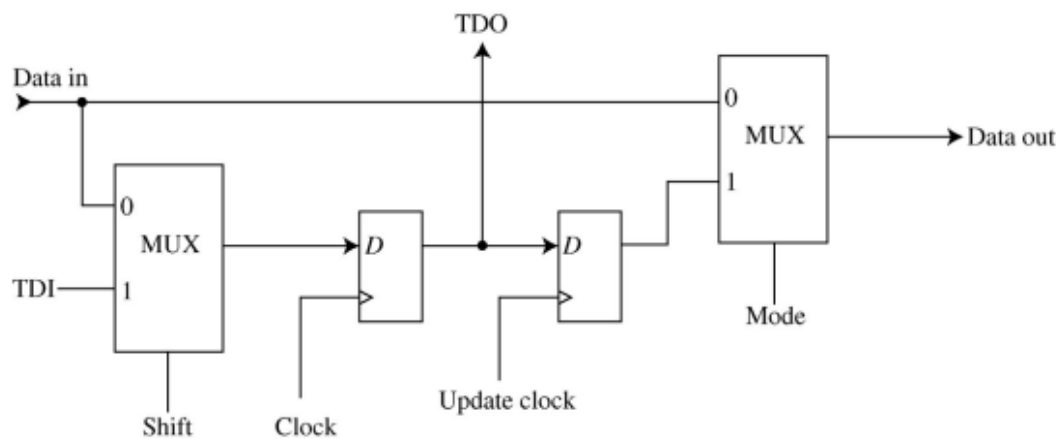
El enfoque CCL permite una gran observabilidad de los puntos de prueba del circuito, esto en conjunto con la mejora de la controlabilidad hacen una buena elección usar esta metodología.

El inconveniente del enfoque es que el escaneo de puntos de prueba introduce un retardo adicional. Por lo tanto, al igual que en el escaneo parcial y total, no es posible llevar a cabo las pruebas a la velocidad normal de funcionamiento del circuito.

### Boundary Scan.

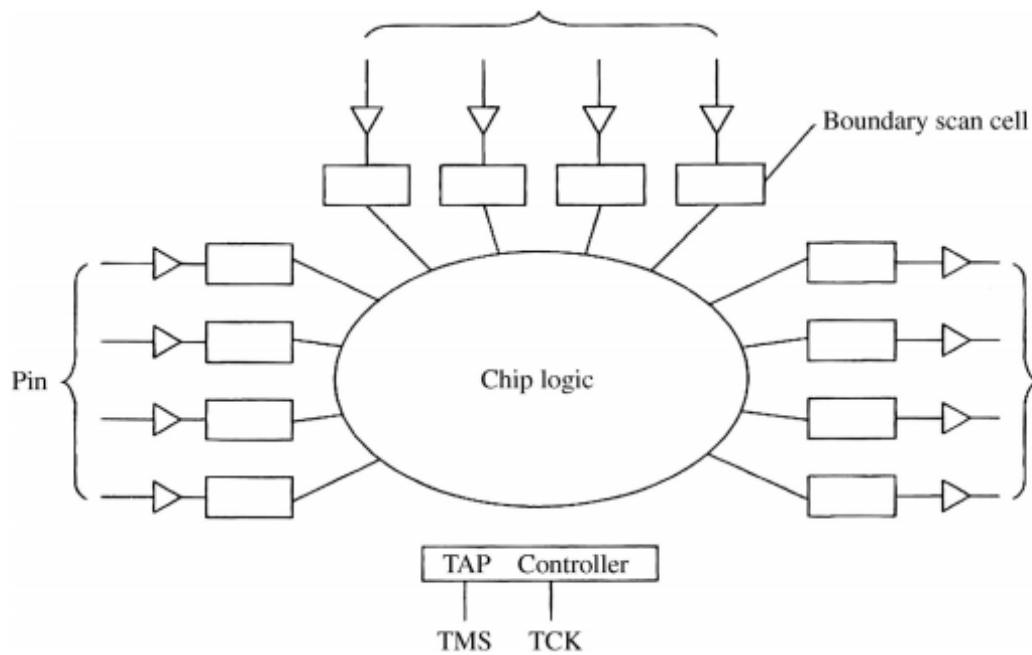
La metodología de Boundary Scan se puede traducir como escaneo de frontera, de límite, de borde, de contorno etc. Fue inicialmente desarrollada para observar y controlar los pines de entrada y salida de un chip montado en una placa de circuito impreso (PCB), ahora se utiliza para simplificar las pruebas de un chip (SOC-System on a chip) que está montado en un sistema. Un consorcio internacional, el Joint Test Action Group (JTEG) propuso una arquitectura de escaneo de contorno que fue adoptada por la IEEE como norma 1149.1. Esta arquitectura provee un camino serial a través de los pines de entrada salida de un chip individual montado sobre un impreso. El camino de escaneo es logrado conectando los pines normales de entrada salida de la lógica a los pines de entrada salida del chip a través de una **celda de escaneo de contorno**.

La siguiente figura muestra la conformación de esta celda mencionada:

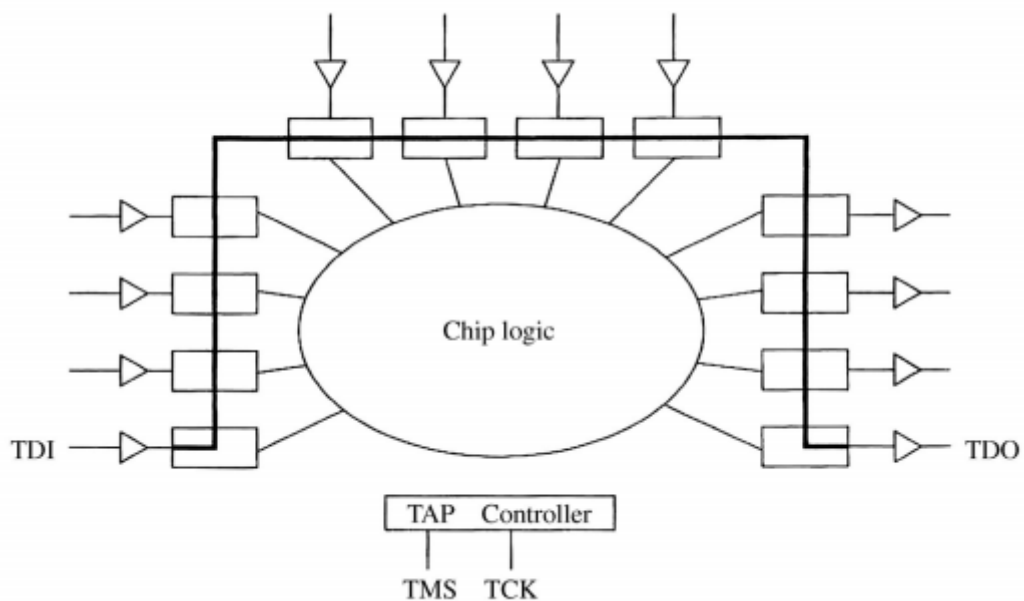


La operación de esta celda está controlada por una unidad llamada Test Access Pat (TAP). Esta unidad tiene cuatro entradas, el reloj de testeo (TCK), selección de modo de prueba (TMS), la entrada de datos de prueba (TDI), y la salida de datos de prueba (TDO). Durante la operación normal, el dato de entrada (Data in) es transferido a la lógica interna a través del segundo multiplexor seteando Mode = 0, el dato puede ser almacenado en el primer FF seteando Shift = 0 e introduciendo un pulso de clock. Durante el modo de prueba, los datos en TDI se escanean colocando Shift en 1 e introduciendo un pulso de clock en el primer FF, el dato escaneado está disponible en el pin TDO. El dato capturado por el primer FF durante el modo normal de funcionamiento o en el modo de prueba puede ser transferido hacia la salida seteando la señal Mode en 1 y disparando el reloj llamado "Update clock".

En la siguiente figura se ve un chip con celdas de escaneo de contorno colocadas junto con los pines.



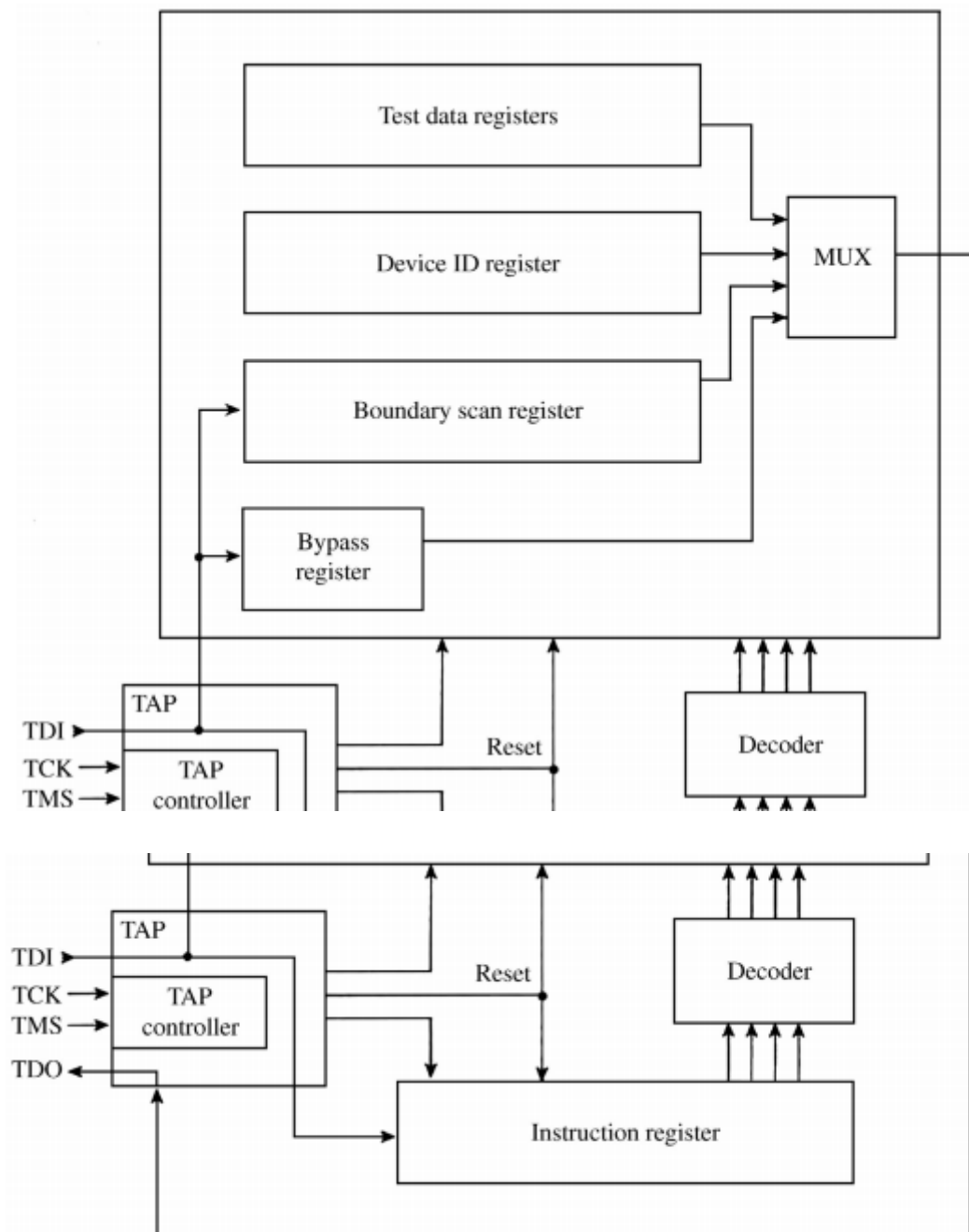
Las celdas pueden interconectarse para formar un registro de desplazamiento continuo (la ruta de escaneo de contorno) alrededor de la frontera del chip. Este registro se puede utilizar para desplazar, almacenar o capturar datos de prueba. Este esquema se muestra en la siguiente figura:



Durante la operación normal de funcionamiento, las celdas de escaneo son transparentes y los datos fluyen directamente desde los pines de entrada del circuito hacia los pines de salida del mismo.

Durante la fase de prueba, los patrones de prueba se cambian a través del pin denominado TDI, y las respuestas son capturadas y transferidas a través del pin TDO. Por lo tanto, la controlabilidad y la observabilidad de los pines del chip se puede lograr sin que estos pines estén accesibles físicamente. Sumada al TAP, la arquitectura de escaneo incluye un controlador para este TAP, un registro de instrucciones (IR), y un grupo de registros de datos de prueba (TDRs).

La siguiente figura muestra una arquitectura de escaneo del tipo JTAG (por cuestiones de espacio se muestra en dos partes, pero es la misma figura)

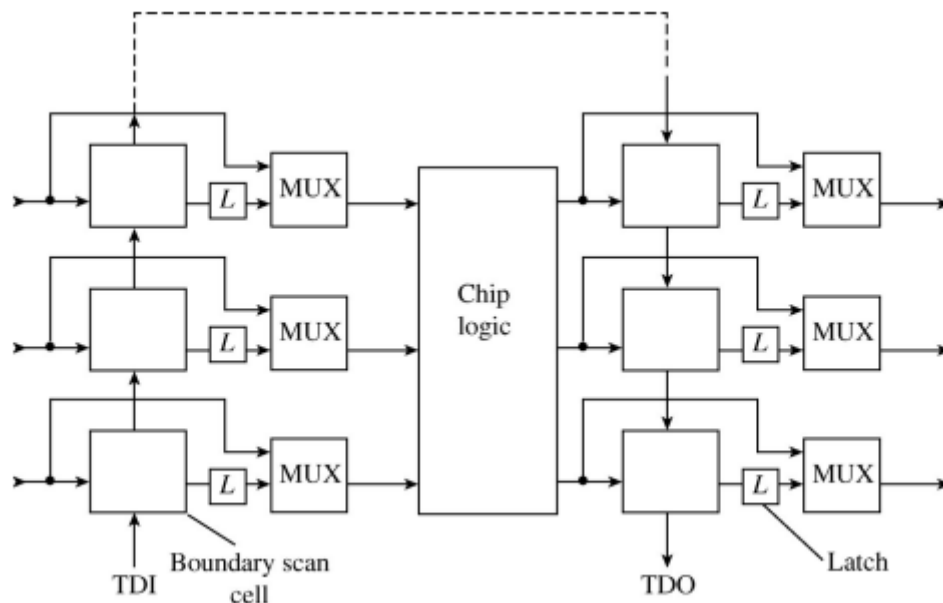


El TAP controller es una máquina de estados finitos que genera varias señales de control, cambiar, desplazar y capturar datos requeridos en la arquitectura de escaneo. La transición de estados en el TAP ocurren con el flanco ascendente de la señal de clock presente en el pin TCK. El IR es un registro de desplazamiento del tipo entrada serie/salida serie, el contenido de este registro es almacenado en un latch de salida paralelo. Una vez que el contenido del registro de desplazamiento es almacenado en el registro de salida paralelo, solo se puede cambiar solo cuando el TAP controller esté en estado de actualización o reinicio. En el estado de actualización del IR, la nueva instrucción de desplazamiento se carga en el latch de salida, toda la lógica de escaneo

se reinicia y el chip funciona en su estado normal. El controlador TAP se puede poner en el reinicio de una prueba desde cualquier otro estado manteniendo la señal TMS en 1 y aplicando un pulso de clock en TCK al menos cinco veces.

La arquitectura de escaneo, sumado al registro de escaneo de contorno, tiene otro registro llamado de derivación (DR). Este registro aloja solo 1 bit. Como se muestra en la figura anterior, este registro se refleja como bypass register. Los datos en TDI pueden moverse hacia TDO a través del registro de derivación durante un ciclo de reloj, en lugar de los múltiples ciclos de reloj requeridos para transferir los datos a través de la ruta de escaneo. Por lo tanto, el registro de derivación es muy importante si solo se quiere probar un chip dentro de toda la placa. Paralelamente se puede incluir un registro de identificación de chip dentro de los TDR. En estos registros se pueden almacenar datos como quien es el fabricante del chip, versión del firmware, número de parte del chip, etc. Esto se realiza cuando el TAP está en el estado de captura de datos. La normal operación del chip no se ve afectada cuando el registro ID o el bypass register están en uso.

Como se mencionó anteriormente, las celdas de exploración de contorno se pueden conectar formando un registro de desplazamiento. Este registro se identifica como registro de exploración de contorno y se muestra en la siguiente figura:



Este registro se puede programar para realizar operaciones como prueba externa, prueba interna o prueba de muestra. La prueba externa sirve para comprobar las interconexiones buscando circuitos abiertos o cortocircuitos. Se logra ingresando un 0 en cada registro IR.

Las pruebas internas permiten testear un chip individual dentro de la placa de circuito impreso.

Las pruebas de muestra permiten monitorear los datos de entrada y salida del chip mientras se encuentra en su funcionamiento normal. Esto permite a un probador externo a comprender el rendimiento de un chip.

La forma de un test externo se puede visualizar en la siguiente figura:

